

基于虚拟仪器技术的逻辑分析仪的研制

姜志诚, 张礼勇, 林海军

(哈尔滨理工大学 测控技术与通信工程学院, 黑龙江 哈尔滨 150080)

摘要: 介绍了基于虚拟仪器技术的逻辑分析仪的研制,以 FPGA 为重点阐述了硬件系统的设计,同时给出了单片机固件程序和 VC++ 上位机程序的设计. 由于采用 USB2.0 接口,该虚拟仪器具有传输速率高、使用方便等优点.

关键词: 虚拟仪器; USB 接口; FPGA

中图分类号: TP302.1 **文献标志码:** A **文章编号:** 1007-2683(2010)04-0010-04

Design of Logic Analyzer Based on Virtual Instrument Technology

LOU Zhi-cheng, ZHANG Li-yong, LIN Hai-jun

(School of Measure-control Technology and Communication Engineering, Harbin University of Science and Technology, Harbin 150080, China)

Abstract: The paper introduces the design of logic analyzer based on virtual instrument technology, the design of hardware system focusing on FPGA and at the same time the design of FX2 SCM's firmware program and PC's VC++ program. By using the USB2.0 interface, the apparatus has some merits such as high transmit speed, easy to use and so on.

Key words: virtual instrument; USB interface; FPGA

0 引言

逻辑分析仪作为数据域测试仪器中应用最为广泛的通用测试仪器,为数字系统的开发、维护提供了强有力的工具. 逻辑分析仪的功能是获取并以多种方式显示被捕获的数据,这组数据以触发点为起点或终点或包含触发点. 逻辑分析仪在各种数字系统中可用于硬件逻辑、时序和软件运行情况的研究、分析、测试和故障诊断,是新产品开发和系统维护必不可少的工具,它已成为目前国际上最通用的电子测量仪器之一.

1 基于虚拟仪器技术的逻辑分析仪的设计

1.1 系统的总体结构

本系统的总体结构如图1所示,EZ-USB FX2 单片机作为硬件电路的主控芯片,除了带有超强的 USB2.0 引擎 SIE 外,还集成了改进的增强型 8051 内核,它负责接收 PC 主机的各种控制命令并通过地址线 and 数据线将其翻译给 FPGA 芯片;FPGA 是硬件电路的核心器件,完成了数据捕获、数据存储等工作,FPGA 中捕获的数据传输给 FX2 单片机的 Slave

收稿日期: 2008-11-07

基金项目: 黑龙江省教育厅科学技术研究项目(10551Z0007); 黑龙江省科技攻关项目(GC05A513); 黑龙江省自然科学基金(08002-08045/F010302); 哈尔滨市科技攻关项目(GJ2007GG009024)

作者简介: 姜志诚(1984—),男,硕士研究生,E-mail: benzlzc@163.com.

张礼勇(1939—),男,教授,博士生导师.

FIFO,再通过 USB 数据线利用 FX2 单片机的自动传输模式发送到 PC 主机;利用上位机软件的强大的数据处理和显示功能,使测试者能够分析、处理和观测被采集数据,进而实现对被测系统的故障诊断。

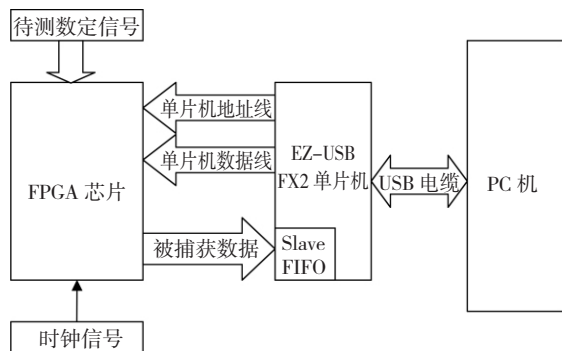


图1 系统总体结构

1.2 硬件部分的设计

虚拟逻辑分析仪检测电子元器件时,首先通过FPGA芯片中的触发模块实现对被测数据的判断与捕获,并利用FPGA芯片中的FIFO模块存储这些有效数据,再通过FX2单片机的自动传输模式将它们发送到上位机。通过分析论证,本设计中采用Xilinx公司的spartan-3系列FPGA芯片,型号为xc3s400,采用90 nm工艺技术,包含40万个系统门(System Gates),该款芯片是低电压低功耗型(内核电压为1.2 v),其内部逻辑结构如图2所示。

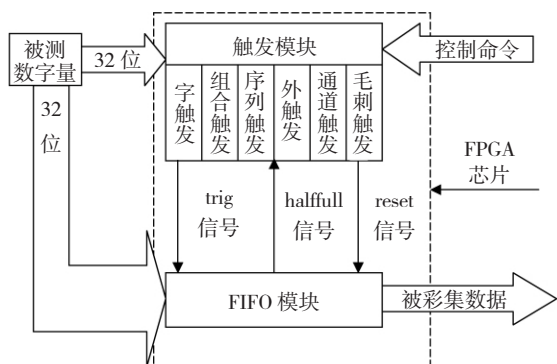


图2 FPGA内部结构

为了能够有效地捕获数据,本设计采用如下几种触发方式:字触发、序列触发、组合触发、外触发、通道触发、毛刺触发。

当选定字触发时,首先根据预先设定的屏蔽字将不关心的通道屏蔽掉,然后将被测数字量与预设的触发字进行比较,若相同则产生触发标志。屏蔽字为1表示该通道被屏蔽无效,屏蔽字为0的通道才作为有效的可触发通道。举例如下:设定8通道的字触发,触发字为10101111,屏蔽字为11000000,则当

采样数据通道中出现数据字为00101111,01101111,10101111,11101111的时候都能产生触发标志。序列触发是为检测复杂分支程序而设计的一种重要触发方式,这是一种多级触发,由多个触发字按预定的次序排列,只有当被观察的程序按同样的顺序先后满足所有触发条件时才能触发,序列触发在软件调试的过程中特别有用。组合触发类似于序列触发,所不同的是,组合触发不需要按顺序检测触发字,只要被测数据流中出现了全部的触发字就产生触发信号。

外触发是当外部按钮被按下时,即设定了触发位。方便了工作人员现场调试系统或检查系统某一时刻是否正常。

通道触发是当被选定通道的信号出现预先设定的上升沿或下降沿的时候,便产生触发标志。上升沿或下降沿由电平选择位控制。

毛刺是一种在一个采样时钟周期内两次通过门限的窄脉冲,它往往是造成数字系统出错的重要原因。由于其随机性,使用普通示波器无法观测,即使使用数字存储示波器也只能捕捉到脉宽大于采样周期的毛刺。因此,能够检测毛刺是逻辑分析仪的重要特征,在分析由于电路设计的缺陷造成毛刺的偶然出现,而导致电路失效时,可以发挥巨大作用。依靠提高采样频率的办法检测十分狭窄的毛刺是困难的,于是设计一个毛刺触发模块,能够可靠的把某一通道上存在的毛刺检测出来并设置触发信号。在毛刺触发模块中首先设计了毛刺锁定电路以检测毛刺,电路如图3所示。

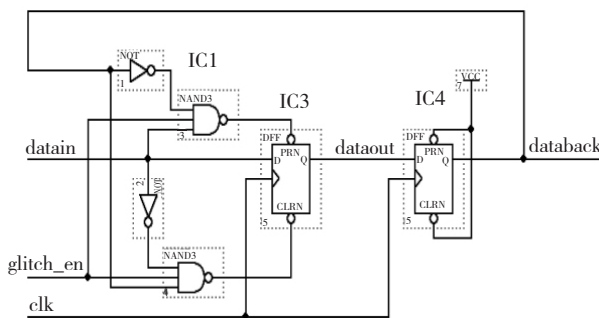


图3 毛刺锁定电路

图3中datain为输入信号;glitch_en为采样/锁定控制信号;clk为采样时钟;databack在采样方式下为采样数据输出,在锁定方式下为锁定毛刺数据输出。

电路工作原理如下:在采样方式下,glitch_en为0,关闭IC1和IC2,IC3和IC4仅在采样时钟作用下锁存输入数据信号,而对采样时钟之间出现的毛

刺不予捕获;在锁定方式下 $glitch_en$ 为 1, IC1 和 IC2 使能,它们将根据输入信号 $datain$ 的现态,决定 IC3 是置位还是复位.假如在毛刺出现之前,输出信号处于高电平,即 $databack = 1$,那么 IC1 关闭,IC2 开启,等待接收负向毛刺.一旦在输入信号 $datain$ 中出现负向毛刺,则使 IC2 输出变为低电平,IC3 复位 ($dataout = 0$),而 IC4 状态不变, $databack$ 仍是高电平.毛刺消失后,IC3 的复位信号撤消了.当采样时钟到来时,IC3 又恢复到之前的状态 ($dataout = 1$).然而由于毛刺的作用使 $dataout$ 短时间出现的低电平,在采样时钟的同步下,锁存到 IC4 中 ($databack = 0$),直到下一个采样时钟的到来, $databack$ 才又变为高电平.将前级毛刺锁定电路在锁定方式下输出的放大了毛刺的数据,与在采样方式下输出的屏蔽了毛刺的数据进行比较,相同则表明该通道数据没有毛刺,不相同则表明该通道数据有毛刺.反之,若毛刺出现之前 $databack$ 为低电平状态,则可检测正向毛刺,其工作过程与检测负向毛刺类似.

毛刺识别电路是由 VHDL 语言编程实现的.虽然毛刺检测电路的原理是正确的,但在仿真时,总会在前 5 个时钟周期内在没有毛刺的情况出现触发信号,这是由于初始时钟信号的突变和设计的 D 触发器、比较器等电路有一定的延时造成的一种不稳定现象,但是在第 6 个周期之后就不会出现这种情况了,因此在编程时为了避免这种情况发生,屏蔽掉前 5 个时钟周期,从第 6 个时钟周期毛刺识别电路才开始工作,经仿真验证,这种方法是可靠的.

在本系统里,FIFO 是一种理想的数据存储器,只要给定读/写时钟便能依次地读取或存储数据,从而省去了一般存储器需要设置多路地址总线的麻烦,且 FIFO 能根据当前存储的数据所占总空间的状态,给出满、半满和空信号,从而为建立控制流程带来了很大方便.本设计中的 FIFO 能够记录包括触发点后和触发点前的数据,这样设计的好处是,可以全面掌握引起故障的数据,以便进行分析.FIFO 的具体工作过程是:当接收到复位信号后,FIFO 便开始工作,此刻让 FIFO 的写选通有效,从而使被测数据逐次存入到 FIFO 中.直至半满标志信号 $halffull$ 被置位,FIFO 进入触发前采数状态,在此过程中,FIFO 的读、写时钟均被打开,并且是同一个时钟频率,于是依次写入一个新数据的同时读出一个老数据,使 FIFO 始终保持半满状态.当触发信号 $trig$ 到来时,FIFO 进入触发后采数状态,此刻 FIFO 存储器在继续打开写选通信号的同时,禁止读出数据,于是

数据只进不出,直到 FIFO 的满标志信号 $full$ 被置位.FIFO 变迁到读数状态.这时 FIFO 中已存储的数据就是包括触发信号前采集的和触发信号后采集的各一半数据.

FPGA 芯片支持 JTAG 协议,因此具备边界扫描测试功能.边界扫描技术的核心是芯片的 I/O 引脚与内核电路之间设置了边界扫描结构.JTAG 标准定义了一个 4-wire 串行总线,并且通过该总线访问边界扫描单元,达到测试芯片内核与外围电路的目的.图 4 给出了支持 JTAG 标准的芯片结构体系.扫描结构由测试存取通道 TAP、边界扫描寄存器 BSR、TAP 控制器、指令寄存器 IR 和辅助寄存器组成.TAP 是边界扫描测试的核心控制器,它与总线 TCK 同步工作,并响应总线 TMS 产生时钟信号和控制信号,将指令装入指令寄存器中;它还将测试数据从 TDI 端移入扫描链中,并从 TDO 端移出数据,通过观测 TDI 与 TDO 的关系可进行测试功能.FPGA 芯片集成了本设计中的全部逻辑,因此通过 JTAG 协议对 FPGA 芯片的扫描测试,实现了对绝大部分硬件系统的故障自诊断功能.

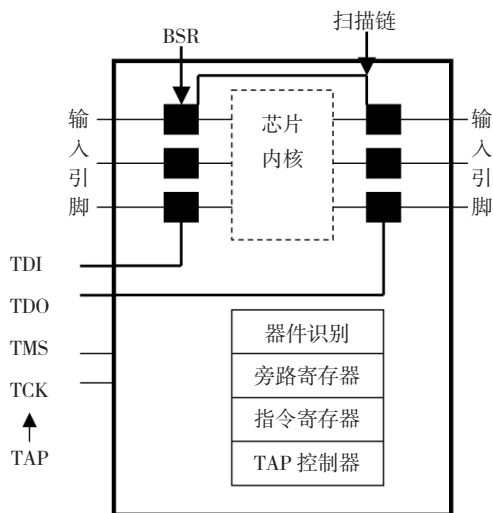


图4 支持 JTAG 标准的芯片结构

主控芯片 CY7C68013 的外围配置电路主要包括复位和基准电源电路、外扩 E^2 PROM 以及 RS-232 串口通信电路等.

本课题的硬件电路采用 USB 总线供电,USB 总线提供的电压为 5V,而 CY7C68013 的工作电压为 3.3V,所以本课题采用电压转换芯片 MAX604,转换后的电压经过 LC 滤波后提供给主控芯片的电源和复位引脚.采用 24LC64 作为外扩的 E^2 PROM,它具备 8KB 存储空间,采用两个字节地址寻址,CY7C68013 对采用两个字节寻址的 E^2 PROM 要求

其最低位地址线接高电平,其余接低电平.采用 MAX3232 作为串口通信的驱动芯片,CY7C68013 提供了两个 RS-232 串口,本课题采用串口 0 与计算机通信,用于下载和在线调试固件程序.

1.3 软件部分的设计

固件的定义:载有在用户环境中不能加以改变的计算机程序及数据的器件.包含在固件中的计算机程序和数据归类为软件;载有计算机程序 and 数据的电路归类为硬件.固件程序就是硬件中的软件部分,通过执行该软件可以实现特定的硬件功能.EZ-USB FX2 的固件程序控制整个硬件系统的运行,负责处理 PC 主机发来的各种 USB 指令,并将其发送给 FPGA,最后完成它们之间的数据传输.固件的编写是在 keil C 环境下进行的,它支持 C 语言和汇编.使用 FX2 进行开发,可利用芯片提供的固件构架来简化固件的开发,仅需提供 USB 描述符表和实现外围功能的程序代码,即可构成完全兼容的 USB 设备.本设计就是在这个构架的基础上进行的固件程序开发.固件框架流程图如图 5 所示.

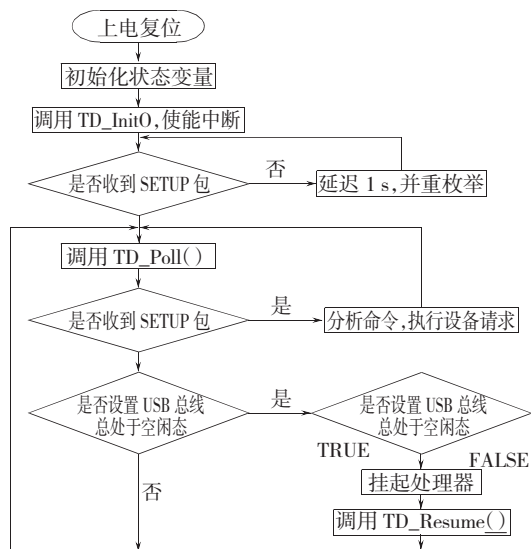


图 5 固件框架流程图

EZ-USB 系列芯片都具有通过下载固件和重列举的方式来改变设备特性的能力.下载固件程序的方法很多,可以通过 USB 接口下载固件(Intel Hex 格式文件);也可以通过 RS-232 串口下载.我们希望最终的产品能够让计算机自动完成固件下载以方便用户使用,这就需要一个特殊的、具有下载固件并完成设备重列举功能的设备驱动程序,称之为固件下载驱动程序.EZ-USB 软件包提供了一个固件下载驱动程序的模板,即 EZ-Loader Driver,它是一个非常简单的 USB 驱动程序模板,大大简化了用户开

发驱动程序的难度,简化到用户只需要知道如何去一件事情:下载固件到 USB 外设即可.

上位机软件完成对整个虚拟逻辑分析仪的控制,包括对采样频率、触发方式以及触发控制字等进行设置,在接收到由单片机发送的被采集数据后对其进行分析、处理并以多种方式显示.该软件在 Windows 平台下使用 VC++6.0 开发完成,在程序编写过程中充分利用 Windows 环境下的动态链接库(DLL)和组建对象模型(COM)技术为系统提供了一个图形化操作界面环境.上位机软件结构如图 6 所示.

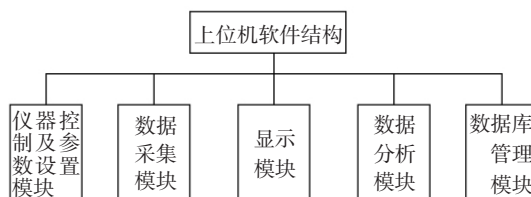


图 6 上位机软件系统框图

2 系统性能指标

本款逻辑分析仪硬件及软件电路主要技术指标为

- 1) 采样频率: 100 MHz.
- 2) 存储频率共四级可选: 100 MHz、50 MHz、25 MHz、12.5 MHz.
- 3) FIFO 存储容量: 4 096 bit × 32(路通道).
- 4) 触发方式: 字触发、序列触发、组合触发、外触发、通道触发、毛刺触发.

本逻辑分析仪主要针对 8 位单片机的数据线、地址线、及其它信号线的测试,该逻辑分析仪配备了 32 路采样通道是完全可以胜任的;同时针对普通单片机的时钟频率都在几十 MHz 以内,该逻辑分析仪具备的 100 MHz 采样频率,能够准确的进行采样与触发判断;针对被采集信号的频率不同而设置四档可选的存储频率也是非常实用的,可以提高 FIFO 的存储效率.

3 结 语

基于虚拟仪器技术的逻辑分析仪把计算机强大的计算处理能力和仪器硬件的测试能力结合在一起,大大缩小了仪器的成本和体积,并具备了用户对

(下转第 18 页)

4 结 论

本文设计了基于 H_∞ 控制算法的单相逆变电源控制器. 仿真结果表明, 在该控制器的作用下, 负载在 $L_1 \in [0, 0.2H]$ 、 $R \in [0\Omega, \infty)$ 变化范围内时, 逆变电源输出电压的稳态误差, 总谐波畸变率分别低至 0.43% 和 0.57%. 带有阶跃噪声扰动的线性负载时, 输出电压的稳态误差较小, 谐波畸变率为 0.68%.

在本控制器的设计过程中, 通过大量仿真实验, 取得的大量实验数据, 都验证了在指定负载(线性负载和非线性负载)变化范围内, 采用本文的设计方法, 可以得到对输出电压的稳态误差和 THD 都有很好的抑制作用的单相逆变电源控制器.

参 考 文 献:

- [1] LIU Shan-zhong, SUN Long-he. The Research Actuality of H_∞ Control Theory and Its Application [J]. Electronics Optics & Control, 2007, 14(3): 87-91.
- [2] OLIVEIRA Vilmaa, EDUARDO S Tognetti, DANIEL Siqueira. Robust Controllers Enhanced With Design and Implementation Processes [J]. IEEE Trans. On Education, 2006, 49(3): 370-

382.

- [3] MONTAGNER V F, OLIVEIRA R C L F, LEITE V J S, et al. LMI Approach for H_∞ Linear Parameter-varying State Feedback Control [J]. IEE Proc. - Control Theory Appl., 2005, 152(2): 195-201.
- [4] 华建军, 沈艳霞, 纪志成. 基于 PSIM 断续导通模式的 DC-DC 变换器的建模与仿真研究 [J]. 电机与控制学报, 2007(5): 522-528.
- [5] YANG Yan-Sheng, JIA Xin-Le. Robust Control and its Application of Uncertain Systems [M]. Beijing: Science Publisher, 2004: 56-85.
- [6] LEE T S, CHIANG S J, CHANG J M. H_∞ Loop-Shaping Controller Designs for the Single-Phase UPS Inverters [J]. IEEE Transactions on Power Electronics, 2001, 16(4): 473-481.
- [7] 赵 霞, 张 伟, 陈启军. 分散多速率采样系统 H_∞ 控制的扩展顺序设计 [J]. 电机与控制学报, 2007(6): 659-665.
- [8] LI Dazhong, JIN Hongliang, LIU Shuping. Method of Parameter Fuzzy Optimization of H_∞ Controller Based on Mixed Sensitivity Function [J], 2004, 21(1): 134-138.
- [9] 贾德利, 尤 波. 大功率 IGBT 逆变式空气等离子切割电源的关键技术 [J]. 哈尔滨理工大学学报, 2008, 13(1): 109-112.
- [10] 宋百玲, 宋恩哲. 应用 Simulink 对 M851 型柴油机调速系统建模与仿真 [J]. 哈尔滨工程大学学报, 2004(6): 468-471.

(编辑: 付长缨)

(上接第13页)

仪器进行自定义及编程的功能. 该逻辑分析仪具有虚拟仪器的一切优点, 顺应了当代测试领域仪器的发展趋势, 同时具备 USB 设备传输速率高和使用方便等特点. 经过硬件调试、软件仿真以及模拟实验, 系统达到了设计要求. 下一步的工作是在增加通道数量、加大数据存储容量、增加触发方式、提高软件对采集数据的分析和处理能力等方面做进一步的研究.

参 考 文 献:

- [1] 刘思久, 于德伟, 罗 艳, 等. 基于虚拟仪器的 PCB 数字功能模块的测试 [J]. 哈尔滨理工大学学报, 2005, 10(6): 112-116.
- [2] 钱 峰. EZ-USB FX2 单片机原理、编程及应用 [M]. 北京: 北京航空航天大学出版社, 2006.

- [3] 张邦涛, 张礼勇. 基于 USB2.0 的数据采集器和波形发生器的设计 [J]. 哈尔滨理工大学学报, 2007, 12(2): 90-93.
- [4] 刘思久, 张礼勇. 虚拟仪器与基于 USB 总线的测试设备 [J]. 电测与仪表, 2003, 40(1): 11-17.
- [5] 师奕兵, 王厚军. 高速逻辑分析仪产品化设计的关键技术 [J]. 仪器仪表学报, 2002, 23(S5): 38-40.
- [6] 潘 松, 黄继业. EDA 技术与 VHDL [M]. 北京: 清华大学出版社, 2005.
- [7] 张礼勇, 刘思久. 虚拟仪器与 USB 方式的探讨和实践 [J]. 电子测量与仪器学报, 2003, 17(2): 70-74.
- [8] 于宗光. IEEE 1149.1 标准与边界扫描技术 [J]. 电子与封装, 2003, 3(5): 40-47.
- [9] 阙 浩, 岳瑞华. 基于虚拟仪器技术的综合测试系统 [J]. 微机计算机信息, 2007, 23(11): 130-132.

(编辑: 温泽宇)